

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-250708

(43)Date of publication of application : 27.09.1996

(51)Int.Cl.

H01L 29/744
H01L 29/74

(21)Application number : 07-049658

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.03.1995

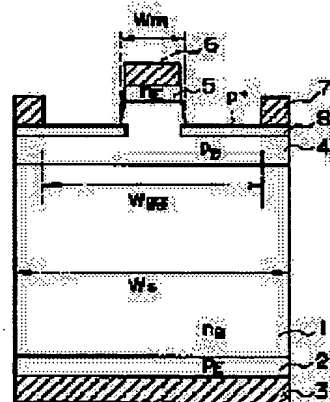
(72)Inventor : OMURA ICHIRO
UETAKE YOSHINARI
OHASHI HIROMICHI

(54) POWER SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable semiconductor device to be composed of GTO in lower voltage than conventional one with less switching loss by specifying the maximum impurity concentration of the second conductivity type base layer not to exceed a specific value.

CONSTITUTION: A p-type base layer 4, an n layer emitter layer 5 are formed on the surface of an n-type base layer 1 to compose a mesa, a cathode electrode 6 is provided on the n-type emitter layer 5, a gate electrode 7 is provided on the p-type base layer 4 while the gate electrode 7 is connected to the p-type base layer 4 through the intermediary of a high concentration p-type contact layer 8. At this time, the p-type contact layer 8 fills the role of lowering the contact resistance of the gate electrode 7 and the p-type base layer 4 as well as the lateral directional resistance of the p-type base layer 4 while a p-type emitter layer 2 and an anode electrode 3 are provided on the underside of an n-type base layer 1. Accordingly, when the maximum impurity concentration of the p-type base layer 4 is set up not to exceed $2 \times 10^{17} \text{cm}^{-3}$ as well as $W_s=200\mu\text{m}$, $W_m=40\mu\text{m}$ and $W_s.W_m$ value not to exceed $10000\mu\text{m}^2$, the ON value can be lowered without cutting down the interrupting current.



LEGAL STATUS

[Date of request for examination] 15.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3284019

[Date of registration] 01.03.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-250708

(43) 公開日 平成8年(1996)9月27日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/744			H 0 1 L 29/74	C
29/74				D

審査請求 未請求 請求項の数 1 O L (全 9 頁)

(21) 出願番号 特願平7-49658

(22) 出願日 平成7年(1995)3月9日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大村 一郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 植竹 義成

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 大橋 弘通

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

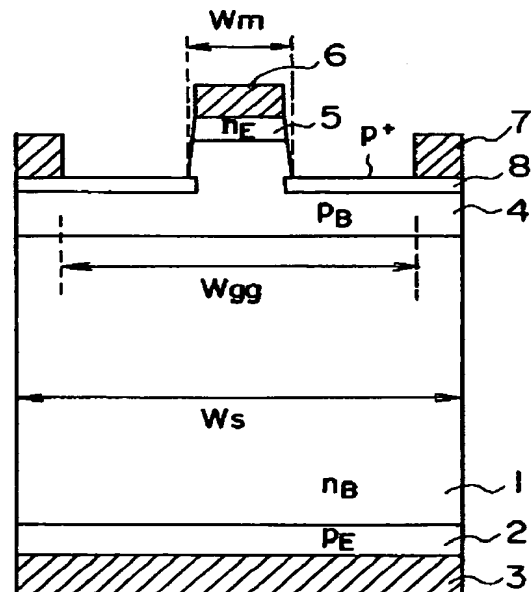
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 電力用半導体装置

(57) 【要約】

【目的】 GTOのオン電圧を下げること。

【構成】 n型ベース層1の表面に形成されたp型ベース層2と、p型ベース層4の表面に形成されたn型エミッタ層5と、n型ベース層2の裏面に形成されたp型エミッタ層4と、p型ベース層4に設けられたゲート電極7と、p型エミッタ層2に設けられたアノード電極3と、n型エミッタ層5に設けられたカソード電極6とからなるGTOにおいて、p型ベース層4の最大不純物濃度を $2 \times 10^{17} \text{ cm}^{-3}$ 以下にする。



【特許請求の範囲】

【請求項1】第1導電型ベース層の表面に形成された第2導電型ベース層と、この第2導電型ベース層の表面に形成された第1導電型エミッタ層と、前記第2導電型ベース層と反対側の前記第1導電型ベース層の表面に形成された第2導電型エミッタ層と、前記第2導電型ベース層に設けられた制御電極と、前記第2導電型エミッタ層に設けられた第1の主電極と、前記第1導電型エミッタ層に設けられた第2の主電極とからなる電力用半導体素子が配列形成されてなり、前記第2導電型ベース層の最大不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ 以下であることを特徴とする電力用半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、GTO (Gate Turn-Off thyristor) からなる電力用半導体装置に関する。

【0002】

【従来の技術】電力用半導体素子の1つとしてGTOがある。GTOは一般のサイリスタでは不可能な自己ターンオフ機能をもっているため、整流回路が不要となり、装置の小型軽量化、高性能化が図れる。GTOは、npnpの4層構造のサイリスタを基礎とし、そのn型エミッタ層にはカソード電極が設けられ、p型ベース層にはゲート電極が設けられ、そして、p型エミッタ層にはアノード電極が設けられた構造となっている。

【0003】図19は、従来のメサ型GTOの素子構造を示す断面図である。図中、101は高抵抗のn型ベース層を示しており、このn型ベース層101表面にはp型ベース層104、n型エミッタ層105が順次形成されている。p型ベース層104、n型エミッタ層105はメサを構成している。

【0004】このようなメサは、例えば、n型ベース層101の表面にp型ベース層104を形成し、次いでこのp型ベース層104の表面にn型エミッタ層105を拡散形成した後、p型ベース層104、n型エミッタ層105をメサ状にエッチング加工することにより得られる。

【0005】n型エミッタ層105にはカソード電極106が設けられ、p型ベース層104にはゲート電極107が設けられている。ゲート電極107は高濃度のp型コンタクト層108を介してp型ベース層104に接続している。

【0006】一方、n型ベース層101の裏面にはp型エミッタ層102が設けられ、このp型エミッタ層102にはアノード電極103が設けられている。この素子をターンオンするには、ゲート電極107にカソードに対して正の電圧を印加する。これにより、n型エミッタ層105より電子がn型ベース層101に注入され、これに応じた量の正孔がp型エミッタ層102からn型ベース層101に注入される結果、伝導度変調が起こり素

子はターンオンする。いったんオンになると、ゲート電極107に正の電圧を印加しなくても、素子はオンし続ける。キャリアの蓄積が多いとオン電圧は低くなる。

【0007】一方、素子をターンオフするには、ゲート電極107にカソードに対して負の電圧を印加する。これによってp型エミッタ層102からn型エミッタ層105に流れていた正孔電流がゲート電極107にバイパスされ、n型エミッタ層105からの電子注入が止まって素子はターンオフする。

【0008】ここで、正孔電流はp型ベース層104を横方向に流れてゲート電極107にバイパスされるので、p型ベース層104の抵抗が大きいと、十分にp型ベース層104から正孔電流をゲート電極に排出できず、最大可制御電流（最大ターンオフ電流）が小さくなるという問題が生じる。

【0009】そこで、従来のGTOでは、p型ベース層104の不純物濃度を十分に高くして（ $5 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ ）、最大可制御電流を大きくしている。しかし、p型ベース層104の不純物濃度を高くすると、ターンオン時にp型ベース層104中でキャリアの再結合が起こりやすくなるので、n型エミッタ層105から注入された電子がp型ベース層104で消滅し、n型ベース層101への電子の注入量が少なくなる。

【0010】この結果、n型ベース層101のカソードに近い部分の蓄積キャリアが減少し、オン電圧は高くなる。オン電圧を低くするために、アノード側の蓄積キャリアを多くしようとすると、今度はスイッチング損失（ターンオフ損失）が大きくなるという問題が生じる。

【0011】

【発明が解決しようとする課題】上述の如く、従来のGTOにあっては、最大可制御電流（最大ターンオフ電流）を大きくするために、p型ベース層の不純物濃度を高くしているが、ターンオン時にp型ベース層中でキャリアの再結合が起こりやすくなり、n型ベース層中の蓄積キャリアが減少し、オン電圧が高くなるという問題があった。また、オン電圧を低くするために、アノード側の蓄積キャリアを多くすると、今度はスイッチング損失（ターンオフ損失）が大きくなるという問題があった。

【0012】本発明は、上記事情を考慮してなされたもので、その目的とするところは、従来よりもオン電圧の低いGTOからなり、さらに簡単な技術的手段を付加することにより、スイッチング損失も小さくできる電力用半導体装置を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するために、本発明（請求項1）に係る電力用半導体装置（第1の発明）は、第1導電型ベース層の表面に形成された第2導電型ベース層と、この第2導電型ベース層の表面に

形成された第1導電型エミッタ層と、前記第2導電型ベース層と反対側の前記第1導電型ベース層の表面に形成された第2導電型エミッタ層と、前記第2導電型ベース層に設けられた制御電極と、前記第2導電型エミッタ層に設けられた第1の主電極と、前記第1導電型エミッタ層に設けられた第2の主電極とからなる電力用半導体素子が配列形成されてなり、前記第2導電型ベース層の最大不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ 以下であることを特徴とする。

【0014】また、本発明の他の電力用半導体装置（第2の発明）は、第1導電型ベース層の表面に形成された第2導電型ベース層と、この第2導電型ベース層の表面に形成された第1導電型エミッタ層と、前記第2導電型ベース層と反対側の前記第1導電型ベース層の表面に形成された第2導電型エミッタ層と、前記第2導電型ベース層に設けられた制御電極と、前記第2導電型エミッタ層に設けられた第1の主電極と、前記第1導電型エミッタ層に設けられた第2の主電極とからなる電力用半導体素子が配列形成されてなり、前記第2導電型ベース層の最大不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ 以下、前記第2の主電極を挟んで隣り合う前記制御電極同士の距離が前記第1導電型ベース層の厚さの $1/6$ 以上であることを特徴とする。

【0015】また、本発明の他の電力用半導体装置（第3の発明）は、第1導電型ベース層の表面に形成された第2導電型ベース層と、この第2導電型ベース層の表面に形成された第1導電型エミッタ層と、前記第2導電型ベース層と反対側の前記第1導電型ベース層の表面に形成された第2導電型エミッタ層と、前記第2導電型ベース層に設けられた制御電極と、前記第2導電型エミッタ層に設けられた第1の主電極と、前記第1導電型エミッタ層に設けられた第2の主電極とからなる電力用半導体素子が配列形成されてなり、前記第2導電型ベース層の最大不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ 以下、前記第2の主電極を挟んで隣り合う前記制御電極同士の距離と、前記第1導電型エミッタ層の実質的な幅との積が $10000 \mu\text{m}^2$ 以下であることを特徴とする。

【0016】また、本発明の他の電力用半導体装置（第4の発明）は、第1導電型ベース層の表面に形成された第2導電型ベース層と、この第2導電型ベース層の表面に形成された第1導電型エミッタ層と、前記第2導電型ベース層と反対側の前記第1導電型ベース層の表面に形成された第2導電型エミッタ層と、前記第2導電型ベース層に設けられた制御電極と、前記第2導電型エミッタ層に設けられた第1の主電極と、前記第1導電型エミッタ層に設けられた第2の主電極とからなる電力用半導体素子が配列形成されてなり、前記第2導電型ベース層の最大不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ 以下、前記第2の主電極を挟んで隣り合う前記制御電極同士の距離が前記第1導電型ベース層の厚さの $1/6$ 以上、前記第2の主電

極を挟んで隣り合う前記制御電極同士の距離と、前記第1導電型エミッタ層の実質的な幅との積が $10000 \mu\text{m}^2$ 以下であることを特徴とする。

【0017】

【作用】本発明者の研究によれば、本発明の素子（GTO）構造において、第2導電型ベース層の最大不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ を境にしてオン電圧が急激に低減することが分かった。

【0018】したがって、上記知見に基づいた本発明に係る電力用半導体装置によれば、従来よりもオン電圧を低くできる。また、本発明者の研究によれば、本発明の素子（GTO）構造において、第2導電型ベース層の最大不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ 以下の場合、該最大不純物濃度の値に関係なく、第2の主電極を挟んで隣り合う制御電極同士の距離と第1導電型エミッタ層の実質的な幅との積が $10000 \mu\text{m}^2$ 以下であれば、従来と同じ遮断電流が得られることが分かった。

【0019】したがって、上記知見に基づいた簡単な技術手段を本発明に係る電力用半導体装置に付加すれば、すなわち、第3、第4の発明によれば、 $2 \times 10^{17} \text{ cm}^{-3}$ 以下、 $10000 \mu\text{m}^2$ 以下にすれば、遮断電流の低下を招かずに従来よりもオン電圧を低くできる。

【0020】

【実施例】以下、図面を参照しながら実施例を説明する。

（第1の実施例）図1は、本発明の第1の実施例に係るメサ型GTOの素子構造を示す断面図である。これは1セル分を示しており、このようなメサ型GTOを配列形成したものが本発明の電力用半導体装置となる。

【0021】図中、1は高抵抗のn型ベース層を示しており、このn型ベース層1の表面にはp型ベース層4、n型エミッタ層5が順次形成されている。p型ベース層4、n型エミッタ層5はメサを構成している。

【0022】このようなメサ構造は、例えば、n型ベース層1の表面にp型ベース層4を形成し、次いでこのp型ベース層4の表面にn型エミッタ層5を拡散形成した後、p型ベース層4、n型エミッタ層5をメサ状にエッチング加工することにより得られる。

【0023】n型エミッタ層5にはカソード電極6が設けられ、p型ベース層4にはゲート電極7が設けられている。ゲート電極7は高濃度のp型コンタクト層8を介してp型ベース層4に接続している。このp型コンタクト層は、ゲート電極7とp型ベース層4とのコンタクト抵抗を下げる役割と、p型ベース層4の横方向抵抗を下げる役割を持っている。

【0024】一方、n型ベース層1の裏面にはp型エミッタ層2が設けられ、このp型エミッタ層2にはアノード電極3が設けられている。n型ベース層1の不純物濃度は $2 \times 10^{13} \text{ cm}^{-3}$ 、p型ベース層4の最大不純物濃度は $2 \times 10^{17} \text{ cm}^{-3}$ 以下、n型ベース層1の厚さは6

50 μm 、n型エミッタ層5の実質的な幅 W_m は40 μm 、ゲートコンタクト（ゲート電極とp型ベース層とがコンタクトするところ）の間隔 W_{gg} は140 μm 、アノード電極3を挟んで隣り合うゲート電極7間の距離（単位セルの幅） W_s は200 μm である。

【0025】n型エミッタ層5の実質的な幅 W_m とは、p型ベース層4との接合部分の正味のn型エミッタ層5の幅であり、例えば、図18に示すように、p型コンタクト層8がn型エミッタ層5領域内まで形成されている場合には、n型エミッタ層5からp型コンタクト層8を除いた部分の幅が W_m である。

【0026】また、p型ベース層4の最大不純物濃度とは、実質的なn型エミッタ層5の中心線上のp型ベース層4の不純物濃度のうち最大の不純物濃度である。p型ベース層4の最大不純物濃度、 W_m 、 W_{gg} 、 W_s のパラメータは図2、図3から求めた。

【0027】図2は、p型ベース層4の最大不純物濃度とオン電圧 V_f との関係、ならびに従来のGTOと同程度の遮断電流を得るために必要な W_s と W_m との積（ $W_s \cdot W_m$ ）を示している。なお、図中、括弧内の値は従

来設計での W_m の値を示している。
【0028】図2から、p型ベース層4の最大不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ 付近からオン電圧 V_f が急激に上昇し始める。したがって、オン電圧 V_f を下げるには、本実施例のように、p型ベース層4の最大不純物濃度を $2 \times 10^{17} \text{ cm}^{-3}$ 以下にすることが望ましい。

【0029】オン電圧 V_f の上昇理由は、p型ベース層4の最大不純物濃度が高くなると、nエミッタ層5から注入された電子がp型ベース層4中で正孔と再結合し、十分な電子がn型ベース層1に供給されないからである。

【0030】また、図2から、従来のGTOと同程度の遮断電流を得るために必要な $W_s \cdot W_m$ の値は、p型ベース層4の最大不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ 以下であれば $10000 \mu\text{m}^2$ で一定で、それを越えると急激に上昇する。

【0031】したがって、本実施例のように、 $W_s = 200 \mu\text{m}$ 、 $W_m = 40 \mu\text{m}$ とし、 $W_s \cdot W_m$ の値を $10000 \mu\text{m}^2$ 以下に設定すれば、オン電圧 V_f を低く保ったまま、従来と同程度の遮断電流を確保できる。換言すれば、遮断電流の減少を招かずに、従来よりもオン電圧を低くできる。

【0032】また、 $10000 \mu\text{m}^2$ 以下では、p型ベース層4の最大不純物濃度の制御が甘くても、従来のGTOと同程度の遮断電流を容易に得られる。p型ベース層4の最大不純物濃度が高いと、ターンオフ時の正孔の引き出し抵抗が小さくなるので、 $W_s \cdot W_m$ 、換言すれば、n型エミッタ層5が比較的大きくてもターンオフできる。一方、p型ベース層4の最大不純物濃度が低いと、ターンオフ時の正孔の引き出し抵抗が大きくなり、

ターンオフできるようにするには、抵抗を下げるために、 $W_s \cdot W_m$ を小さくする必要がある。

【0033】図3は、 W_{gg}/L_{diff} とオン電圧 V_f との関係を示す特性図である。また、図3には、 W_{gg}/L_{n_s} とオン電圧 V_f との関係も示してある。 L_{diff} は高注入状態のn型ベース層の拡散長、 L_{n_s} はn型ベース層の厚さである。

【0034】図3から、 W_{gg} が L_{diff} よりも短くなるとオン電圧 V_f が急激に上昇することが分かり、 W_{gg} は L_{diff} より大きくする必要がある。これはゲート電極とp型ベース層とのコンタクト界面（ゲートコンタクト界面）での電子と正孔との再結合がn型エミッタ層から注入された電子を消滅させてしまうからである。

【0035】n型ベース層の厚さ L_{n_s} は、通常、高注入状態のn型ベース層の拡散長の約6倍程度のなので、 W_{gg} はn型ベース層の厚さの6分の1より大きく大きくすれば、例えば、本実施例のように、n型ベース層の厚さ $= 650 \mu\text{m}$ 、 $W_{gg} = 140 \mu\text{m}$ に設定すれば、 W_{gg} は L_{diff} より大きくなり、オン電圧 V_f の低い素子可以实现できる（第2の発明）。

【0036】なお、上述したことから、 $L_{n_s}/6 < W_{gg} < 10000/W_m$ の関係が得られる。（単位： μm ）

本実施例では $W_m = 40 \mu\text{m}$ としたがそれより小さくても良い。その場合、遮断能力（ターンオフ特性）がさらに向上する。

【0037】また、本実施例ではn型エミッタ層の素子実行面積に占める割合は20%であるが、その割合が小さいほど遮断能力は向上する。また、本実施例では $W_{gg} = 140 \mu\text{m}$ としたがそれより大きくても良い。この場合、オン電圧をさらに低くすることができる。

【0038】また、本実施例ではゲート電極とp型ベース層とのコンタクト界面（ゲートコンタクト界面）でのキャリアの再結合を抑制するために、コンタクト界面の素子実効面積に対する割合を30%以下にしている。

【0039】ここまでは、主としてオン電圧に関する効果について説明したが、次にスイッチング特性等のターンオフ特性に関する効果について説明する。図4は、従来のGTOのn型ベース層中のキャリア分布およびターン電流の波形を示す図である。n型ベース層中では正孔と電子とにより導電変調が起こっており、正孔と電子は同じキャリア分布となっている。図中、nはキャリア数を示している。

【0040】図4（a）はオン状態のキャリア分布、図4（b）はターンオフのフォールタイムでのキャリア分布、図4（c）はテールタイムでのキャリア分布を示している。また、図4（d）は上記各状態のターン電流の波形を示している。

【0041】フォールタイムなどターンオフの初期は、キャリア分布の微分が負（ $dn/dx < 0$ ）の部分のキ

キャリアが排出され、その後、キャリア分布の微分が正 ($dn/dx > 0$) の部分のキャリアが排出される。

【0042】ただし、キャリア分布の微分はカソード側からアノード側へ、電流に沿った微分を意味する。図5は、キャリア分布の微分 (dn/dx) とベース接地増幅率 α_{npn} と電流密度との関係を示す特性図である。図5から、 dn/dx が大きいほど、電流密度が小さいほど α_{npn} が大きくなることが分かる。

【0043】ターンオフ中のスイッチング損失は、ターンオフ中に素子に流れる電流が多いと大きくなる。そのため、ターンオフ中に素子に流れる電流の総量 Q_{off} を小さくすることが望ましい。 Q_{off} は以下の式で求めることができる。

【0044】

【数1】

$$Q_{off} = \int_{nbase} n / (1 - \alpha_{npn}) dx$$

【0045】この式から、n型ベース層において $dn/dx < 0$ の領域を増やすこと、言い換えれば、微分値をできるだけ小さくすることが、 Q_{off} の低減につながりスイッチング損失の低減に有効であることが分かる。

【0046】テール電流は他の部分に比べて大きくなる。これは、テール電流部分では、電流密度が小さくなり、 $dn/dx > 0$ であるので、このような条件では、図5に示すように α_{npn} が1に近くなるからである。

【0047】従来からアノードショート構造などの導入により、アノード側のキャリア増加を抑制していたが、従来構造では、カソード側のn型ベース層のキャリア蓄積量は少ないままなので、十分に dn/dx を小さくできず、その結果、ロスが大きく、また、p型ベース層の最大不純物濃度が高いので蓄積キャリアが少なく、オン電圧が高くなるという問題があった。

【0048】しかし、本発明の場合、アノードショート構造を採用することにより、アノード側のキャリアを減少させると、このアノード側キャリアの減少と上記カソード側キャリアの増加との相乗効果により、図6に示すように、従来のGTOに比べて、 dn/dx の値が負の領域がさらに増える。すなわち、本発明の場合には、図中の点線左側の全ての領域で負となり、一方、従来の場合には、点線左側の一部の領域のみで負となる。また、カソード側に十分なキャリアが蓄積されているので、アノードショートを採用しても、従来ほどオン電圧は上昇しない。

【0049】このように、本発明の場合には、カソード側のキャリアが増加した分、アノード側のキャリアが大幅に減少させることができ、さらにアノードショート構造の効果が顕著になり、オン電圧を上げずに、従来に比べて、スイッチング損失が大幅に小さくなる。

【0050】図7は、アノード側のキャリアの低減と、

n型ベース層中に dn/dx の低減を狙って、ヘリウム、プロトン等のライフタイムキラーを照射して、局所的にキャリアの再結合が行われるようにした場合のキャリア分布を示す図である。図7に示すように、ライフタイムキラーは、p型エミッタ側のn型ベース層に導入すると有効である。

(第2の実施例) 図8は、本発明の第2の実施例に係るメサ型GTOの素子構造を示す断面図である。なお、図1のメサ型GTOと対応する部分には図1と同一符号を付してあり、詳細な説明は省略する。

【0051】これは上述したアノードショート構造を採用した例である。すなわち、アノード電極3は、p型エミッタ層2の両端に形成された高濃度のn型短絡層9を介して、n型ベース層1に接続している。

【0052】従来のGTOの場合、n型短絡層9間の距離 L_{as} は、 L_{diff} の約2倍以上に設定されている。これ以上 L_{as} を狭くすると、アノード側のキャリアが減少し、蓄積キャリアが減少し、オン電圧が高くなるからである。

【0053】一方、本実施例では、上述したように、p型ベース層の最大不純物濃度、 W_{gg} 等を最適化することにより、p型ベース層、ゲートコンタクト等での再結合を極力抑制し、カソード側のキャリア (n型ベース層のキャリア) を増やしているので、 L_{as} は L_{diff} の約2倍以下にすることができる。また、p型エミッタ層に対するn型短絡層の比率を大きくできる。

【0054】通常、n型ベース層の厚さは、キャリア拡散長の6倍程度であるので、 L_{as} をn型ベース層の厚さの1/3以下にしても、オン電圧は上昇しない。このため、テール電流を効果的に減らすことができる。

【0055】図9は、本実施例のメサ型GTOのターンオフ波形である。 L_{as} は $170 \mu m$ である。n型ベース層の厚さが $650 \mu m$ であるので、 L_{as} はn型ベース層の厚さの1/3以下である。図9から、オン電圧は従来と同じで、テール電流は従来に比べて約1/3に減っていることが分かる。これはアノード側のキャリアの減少とカソード側のキャリアの増加との相乗効果による。

(第3の実施例) 図10は、本発明の第3の実施例に係るメサ型GTOの素子構造を示す断面図である。

【0056】これは図7に従ってp型エミッタ層2側のn型ベース層1にタイムライフキラーを導入した例である。本実施例でもカソード側のキャリアは従来よりも多いので、その分タイムライフキラーの導入量を多くすることができ、タイムライフキラーの効果を高めることができる。

(第4の実施例) 図11は、本発明の第4の実施例に係るメサ型GTOの素子構造を示す断面図である。

【0057】本実施例のメサ型GTOが第1の実施例のそれと異なる点は、カソード電極6に低耐圧のUMOS

FETを直列に接続したことにある。すなわち、本実施例では、UMOSFETにより電流を遮断するようになっている。もとのオン電圧は従来よりも低いので、UMOSFETを接続することによるオン電圧の上昇は問題ならない。

【0058】図11において、21はドレイン電極、22は高濃度のn型コンタクト層、23はn型ドレイン層、24はゲート絶縁膜、25はゲート電極、26はソース電極、27はn型ソース層、28はp型ウェル層を示している。これらによってUMOSFETが形成されている。

【0059】本実施例によれば、UMOSFETにより電流の遮断を行うので、最大遮断電流は従来のGTOよりも数段大きくなる。これはp型ベース層の最大不純物濃度を下げるなどによるオン電圧低減（本発明の効果）があつて初めて可能となる。

【0060】なお、最大遮断電流はUMOSFETの能力で決まるので、GTO部分の微細化は必要ない。

（第5の実施例）図12は、本発明の第5の実施例に係るメサ型GTOの素子構造を示す断面図である。

【0061】本実施例のメサ型GTOが第4の実施例のそれと異なる点は、UMOSFETの代わりに、プレーナ型MOSFETを用いたことにある。本実施例でも、第4の実施例と同様な効果が得られる。

（第6の実施例）図13は、本発明の第6の実施例に係るメサ型GTOの素子構造を示す断面図である。

【0062】本実施例のメサ型GTOが第4の実施例のそれと異なる点は、外部ターンオフ回路からターンオフを行なえるようになっていることにある。ゲート電極7はpチャネルのMOSFETのソース電極34に接続している。このMOSFETのドレイン電極36は接地され、ゲート電極35は電源37により一定の電圧が印加されている。また、ゲート電極7はターンオフトリガ回路38に接続されている。なお、31はp型基板、32はp型ソース層、33はp型ドレイン層を示している。

【0063】電流の遮断はUMOSFETにより行なうので、外部ターンオフ回路は単にオン状態ではp型ベース層を開放し、ターンオフ時には導通するだけで良い。本実施例では、ターンオフ時には、ターンオフトリガ回路8により負電圧がゲート電極7に印加され、その結果、p型ベース層4の電位が上昇し、正孔電流がMOSFETにバイパスされ、素子はターンオフする。

【0064】（第7の実施例、第8の実施例）図14、図15は、それぞれ、本実施例の第7、第8の実施例に係るプレーナ型GTOの素子構造を示す断面図である。

【0065】これらは図13の外部ターンオフ回路を素子内に埋め込んだ例である。第7の実施例ではゲート電極7はターンオフ、ターンオフの両方で共通であり、第8の実施例ではターンオンはゲート電極7により行なわれ、ターンオフは別のゲート電極42により行なわれ

る。ターンオン時には正電圧（例えば、17V）を印加されていれば良く、それ以外の制約はない。ゲート電極7は絶縁膜を介して形成されており、MOSFETを形成している。

【0066】なお、本発明は上述した実施例に限定されるものではない。例えば、上記実施例では、主としてメサ型GTOの場合について説明したが、本発明はプレーナ型GTOやトレンチ型GTOにも適用できる。図16、図17に、それぞれ、プレーナ型GTO、トレンチ型GTOの素子構造を示す断面図を示す。トレンチ型GTOの場合、トレンチ溝でゲート電極7とエミッタ電極6とを分離している。この結果、素子は微細化されているにも拘らず、実施的なWggは広がる。

【0067】また、上記実施例では、第1導電型をn型、第2導電型をp型とした場合の実施例であるが、第1導電型をp型、第2導電型をn型としても良い。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0068】

【発明の効果】以上詳述したように本発明によれば、第2導電型ベース層の最大不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ 以下にすることにより、従来よりもGTOのオン電圧を低くすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るメサ型GTOの素子構造を示す断面図

【図2】p型ベース層の最大不純物濃度とオン電圧 V_f との関係、ならびに従来のGTOと同程度の遮断電流を得るために必要な W_s と W_m との積の最大値を示す図

【図3】 W_{gg}/L_{diff} とオン電圧 V_f との関係を示す特性図

【図4】従来のGTOのn型ベース層中のキャリア分布およびターン電流の波形を示す図

【図5】キャリア分布の微分 (dn/dx) とベース接地増幅率 α_{pnp} と電流密度との関係を示す特性図

【図6】本発明および従来のキャリア分布を示す図

【図7】ライフタイムキラーのキャリア分布を示す図

【図8】本発明の第2の実施例に係るメサ型GTOの素子構造を示す断面図

【図9】本発明および従来のメサ型GTOのターンオフ波形を示す図

【図10】本発明の第3の実施例に係るメサ型GTOの素子構造を示す断面図

【図11】本発明の第4の実施例に係るメサ型GTOの素子構造を示す断面図

【図12】本発明の第5の実施例に係るメサ型GTOの素子構造を示す断面図

【図13】本発明の第6の実施例に係るメサ型GTOの素子構造を示す断面図

【図14】本発明の第7の実施例に係るプレーナ型GTO

○の素子構造を示す断面図

【図15】本発明の第8の実施例に係るプレーナ型GT

○の素子構造を示す断面図

【図16】本発明の変形例を示す断面図

【図17】本発明の他の変形例を示す断面図

【図18】n型エミッタ層の実質的な幅 W_m を説明するための図

【図19】従来のメサ型GTの素子構造を示す断面図

【符号の説明】

* 1…n型ベース層（第1導電型ベース層）

2…p型エミッタ層（第2導電型エミッタ層）

3…アノード電極（第1の主電極）

4…p型ベース層（第2導電型ベース層）

5…n型エミッタ層（第1導電型エミッタ層）

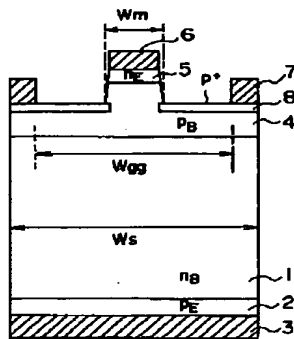
6…カソード電極（第2の主電極）

7…ゲート電極（制御電極）

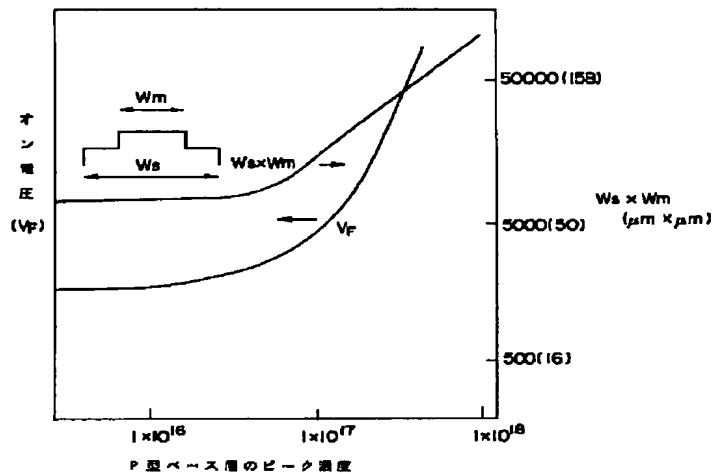
8…p型コンタクト層

* 9…n型短絡層

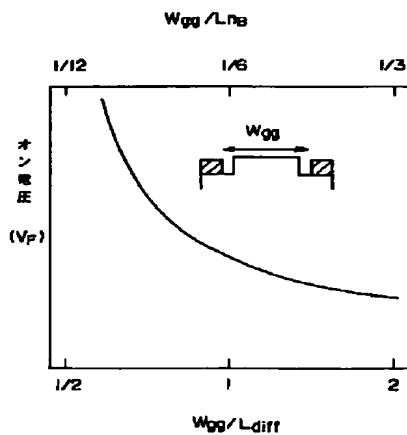
【図1】



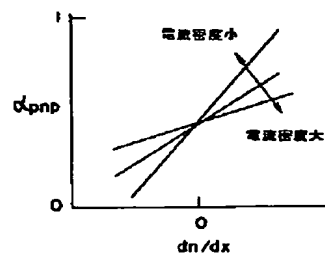
【図2】



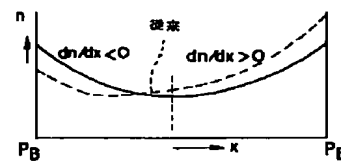
【図3】



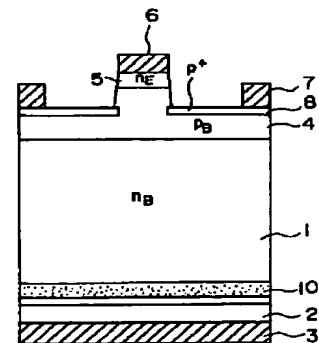
【図5】



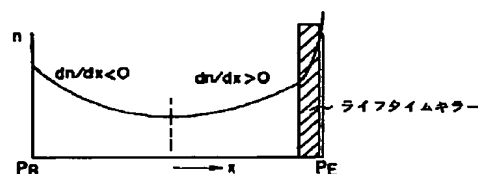
【図6】



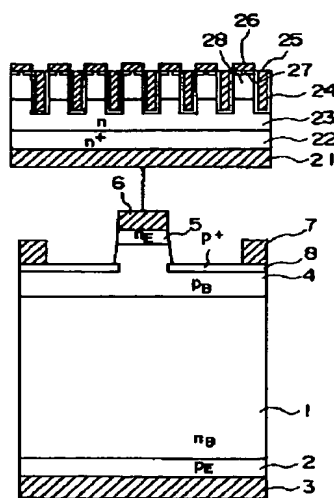
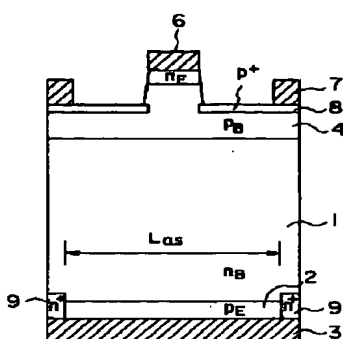
【図10】



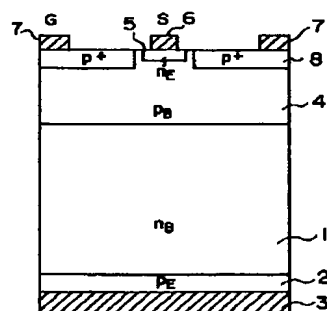
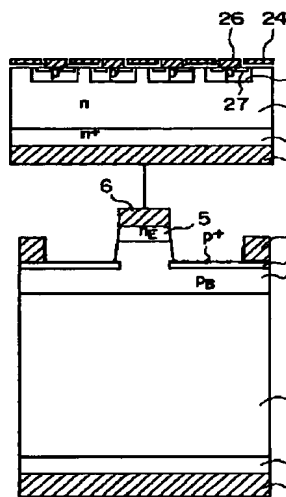
【図7】



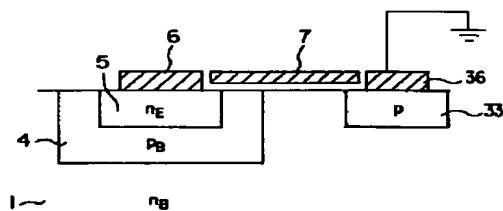
【圖 1 1】



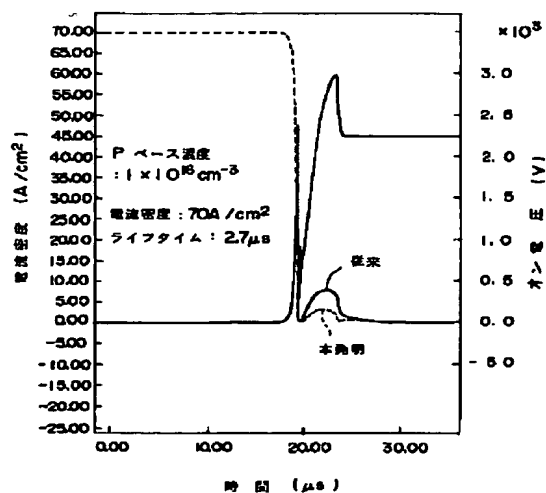
【圖 16】



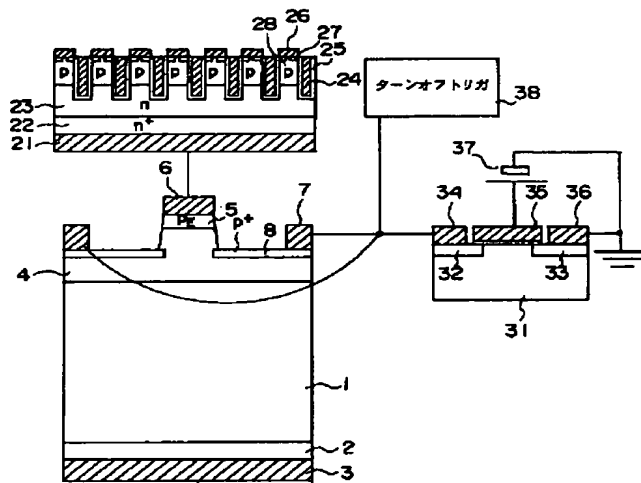
【図 14】



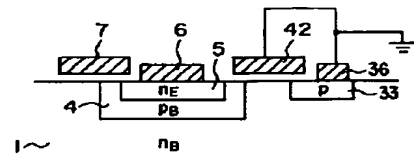
【圖9】



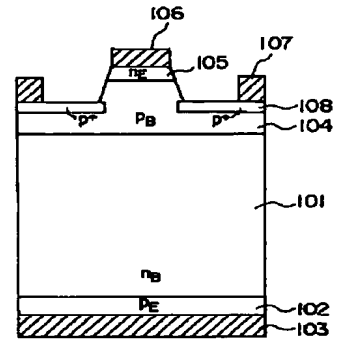
【図13】



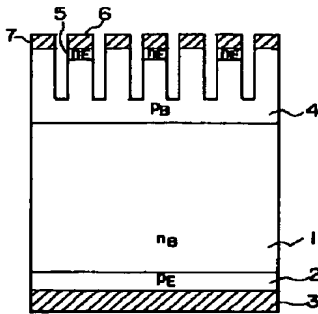
【図15】



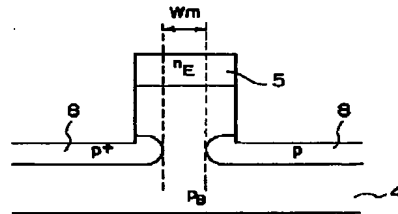
【図19】



【図17】



【図18】



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成13年4月13日(2001.4.13)

【公開番号】特開平8-250708
 【公開日】平成8年9月27日(1996.9.27)
 【年通号数】公開特許公報8-2508
 【出願番号】特願平7-49658
 【国際特許分類第7版】

H01L 29/744
 29/74

【F I】

H01L 29/74 C
 D

【手続補正書】

【提出日】平成12年3月15日(2000.3.15)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】第1導電型ベース層の表面に形成された第2導電型ベース層と、この第2導電型ベース層の表面に形成された第1導電型エミッタ層と、前記第2導電型ベース層と反対側の前記第1導電型ベース層の表面に形成された第2導電型エミッタ層と、前記第2導電型ベース層に設けられた制御電極と、前記第2導電型エミッタ層に設けられた第1の主電極と、前記第1導電型エミッタ層に設けられた第2の主電極とからなる電力用半導体素子が配列形成されてなり、前記第2導電型ベース層の最大不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ 以下であることを特徴とする電力用半導体装置。

【請求項2】ドレインが前記第2の主電極に接続されたトレンチ型MOSFETまたはプレーナ型MOSFETをさらに有することを特徴とする請求項1に記載の電力用半導体装置。

【請求項3】第1導電型ベース層の表面に形成された第2導電型ベース層と、この第2導電型ベース層の表面に形成された第1導電型エミッタ層と、前記第2導電型ベース層と反対側の前記第1導電型ベース層の表面に形成された第2導電型エミッタ層と、前記第2導電型ベース層に設けられた制御電極と、前記第2導電型エミッタ層に設けられた第1の主電極と、前記第1導電型エミッタ層に設けられた第2の主電極とからなる電力用半導体素子が配列形成されてなり、前記第2導電型ベース層の最

大不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ 以下、前記第2の主電極を挟んで隣り合う前記制御電極同士の間隔が前記第1導電型ベース層の厚さの $1/6$ 以上であることを特徴とする電力用半導体装置。

【請求項4】第1導電型ベース層の表面に形成された第2導電型ベース層と、この第2導電型ベース層の表面に形成された第1導電型エミッタ層と、前記第2導電型ベース層と反対側の前記第1導電型ベース層の表面に形成された第2導電型エミッタ層と、前記第2導電型ベース層に設けられた制御電極と、前記第2導電型エミッタ層に設けられた第1の主電極と、前記第1導電型エミッタ層に設けられた第2の主電極とからなる電力用半導体素子が配列形成されてなり、前記第2導電型ベース層の最大不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ 以下、前記第2の主電極を挟んで隣り合う前記制御電極同士の間隔と、前記第1導電型エミッタ層の実質的な幅との積が $10000 \mu\text{m}^2$ 以下であることを特徴とする電力用半導体装置。

【請求項5】第1導電型ベース層の表面に形成された第2導電型ベース層と、この第2導電型ベース層の表面に形成された第1導電型エミッタ層と、前記第2導電型ベース層と反対側の前記第1導電型ベース層の表面に形成された第2導電型エミッタ層と、前記第2導電型ベース層に設けられた制御電極と、前記第2導電型エミッタ層に設けられた第1の主電極と、前記第1導電型エミッタ層に設けられた第2の主電極とからなる電力用半導体素子が配列形成されてなり、前記第2導電型ベース層の最大不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ 以下、前記第2の主電極を挟んで隣り合う前記制御電極同士の間隔が前記第1導電型ベース層の厚さの $1/6$ 以上、前記第2の主電極を挟んで隣り合う前記制御電極同士の間隔と、前記第1導電型エミッタ層の実質的な幅との積が $10000 \mu\text{m}^2$ 以下であることを特徴とする電力用半導体装置。